

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-024060

(43)Date of publication of application : 26.01.2001

(51)Int.Cl. H01L 21/768
G03F 7/40
H01L 21/3065
H01L 21/312

(21)Application number : 2000-139087 (71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 11.05.2000 (72)Inventor : ROBERT COOK
GRECO STEPHEN E
JOHN P HUMMEL
JOYCE RYUU
MCGAHAY VINCENT J
REBECCA MEE
SRIVASTAVA KAMALESH

(30)Priority

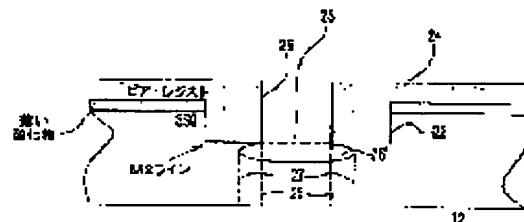
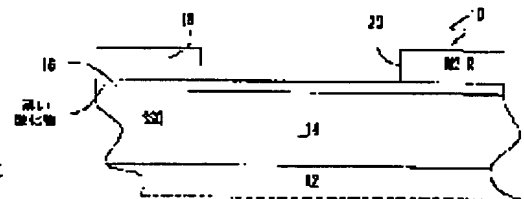
Priority number : 99 311470 Priority date : 13.05.1999 Priority country : US

(54) TEMPORARY OXIDATION OF DIELECTRIC MATERIAL FOR DUAL- DAMASCENE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent invasion with a developer of SSQ dielectric material during the resist pattern formation by forming another resist pattern on the surface of an intermediate material, and then removing a part of the intermediate material and the other part of such material depending on the other resist pattern.

SOLUTION: An etching process is executed to form an aperture 22' to a thin oxide layer 16 as an intermediate material depending on a pattern 20 generated in the resist 18 and also to form a recess 22 to the SSQ (silsesquioxane material) layer 14. The other resist layer 24 is coated on the surface of the oxide layer 16. This resist layer 24 is then exposed and developed to form a resist pattern 26. Moreover, depending on the pattern 26, it is then developed to generate an undercut 28' of a via resist 24. Thereafter, the via 27 is formed with the unisotropic etching process. As a result, while the resist pattern 26 is formed, the pattern is never invaded with the developer owing to the SSQ material.



LEGAL STATUS

引例3 対応の本特許

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3393845号

(P3393845)

(45) 発行日 平成15年4月7日 (2003. 4. 7)

(24) 登録日 平成15年1月31日 (2003. 1. 31)

(51) Int.Cl. ⁷	識別記号	F I
H 0 1 L 21/768		G 0 3 F 7/40 5 2 1
G 0 3 F 7/40	5 2 1	H 0 1 L 21/312 C
H 0 1 L 21/3065		21/90 A
21/312		21/302 J
		21/90 K

請求項の数10(全 8 頁) 最終頁に続く

(21) 出願番号	特願2000-139087(P2000-139087)	(73) 特許権者	390009531 インターナショナル・ビジネス・マシー ンズ・コーポレーション INTERNATIONAL BUSI NESS MACHINES COR PORATION アメリカ合衆国10504、ニューヨーク州 アーモンク ニュー オーチャード ロード
(22) 出願日	平成12年5月11日 (2000. 5. 11)	(72) 発明者	ロバート・クック アメリカ合衆国55405 ミネソタ州ミネ アポリス ウェスト ツェンティーファ ースト・ストリート 2205
(65) 公開番号	特開2001-24060(P2001-24060A)	(74) 代理人	100086243 弁理士 坂口 博 (外1名)
(43) 公開日	平成13年1月26日 (2001. 1. 26)		
審査請求日	平成12年5月11日 (2000. 5. 11)		
(31) 優先権主張番号	0 9 / 3 1 1 4 7 0		
(32) 優先日	平成11年5月13日 (1999. 5. 13)		
(33) 優先権主張国	米国 (US)		
		審査官	安田 雅彦

最終頁に続く

(54) 【発明の名称】 デュアル・ダマシン法のためのシルセスキオキサン誘電体の一時酸化

1

(57) 【特許請求の範囲】

【請求項1】 材料の表面上にレジスト・パターンを形成する段階と、

前記材料を除去するときに前記材料の露出表面に中間材料組成物を形成しながら前記レジスト・パターンに従って前記材料の一部分を除去する段階とを含み、前記中間材料は、選択された材料に対して非反応性であり、さらに、

前記中間材料の表面上に別のレジスト・パターンを形成する段階と、

前記別のレジスト・パターンに従って、前記中間材料の一部分および前記材料の別の部分を除去する段階とを含む方法。

【請求項2】 前記材料がシルセスキオキサン材料である請求項1に記載の方法。

2

【請求項3】 前記材料の一部分を除去する段階が、酸素プラズマによるレジスト剥離を含む請求項1または2に記載の方法。

【請求項4】 前記材料の一部分を除去する前記段階が、フルオロカーボンによる反応性イオン・エッチングを含む請求項1または2に記載の方法。

【請求項5】 前記シルセスキオキサン材料が、水素シルセスキオキサンとメチルシルセスキオキサンを含む群から選択された材料である請求項2に記載の方法。

10 【請求項6】 半導体デバイスにおいて、

シルセスキオキサン材料層と、

前記シルセスキオキサン材料の表面の溝に形成されたダマシン導体と、

前記シルセスキオキサン材料を貫通して延び、前記ダマシン導体の下の前記溝内に位置するビアと、

前記溝内の前記シルセスキオキサン材料上の酸化表面であって、前記半導体デバイスの形成過程において、前記シルセスキオキサン材料上に配置されるレジスト・パターンを除去するための材料に対して非反応性の、前記酸化表面とを組み合わせる含む前記半導体デバイス。

【請求項7】前記シルセスキオキサン材料が、水素シルセスキオキサンとメチルシルセスキオキサンからなる群から選択される請求項6に記載の半導体デバイス。

【請求項8】材料の表面上にレジスト・パターンを形成する段階と、

前記材料を除去するときに前記材料の露出表面に中間材料組成物を形成しながら前記レジスト・パターンに従って前記材料の一部分を除去する段階とを含み、前記中間材料は、選択された材料に対して非反応性であり、さらに、

前記中間材料の表面上に別のレジスト・パターンを形成する段階と、

前記別のレジスト・パターンに従って、前記中間材料の一部分および前記材料の別の部分を除去する段階とを含む方法によって形成された半導体デバイス。

【請求項9】前記材料がシルセスキオキサン材料である請求項8に記載の半導体デバイス。

【請求項10】前記材料の一部分を除去する前記段階が、酸素プラズマによるレジスト剥離およびフルオロカーボンによる反応性イオン・エッチングからなる群から選択されるプロセスを含む、請求項8または9に記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に集積回路の製造方法に関し、より詳細には、先端絶縁材料上に堅固な導電性構造を形成する方法に関する。

【0002】

【従来の技術】集積密度の増大を伴う性能および製造の経済性の向上により、集積回路の設計ではフィーチャ・サイズが極めて小さく間隔が密な設計基準を使用するようになった。集積回路に組み込まれたデバイス間の相互接続の長さが短くなると、一般に信号の伝搬時間が短縮し、雑音イミュニティ (noise immunity) が増大する。しかし、集積回路がより小さい設計基準に縮小されるにつれて、抵抗の増加 (断面積の減少のため) およびキャパシタンスの増加 (接続の近接度が増すため) によって配線遅延の低減が少なくなる。この影響は、導体の抵抗率または絶縁体の誘電率、あるいはその両方を減少させることによってしか改善することができない。このため低誘電率の先端絶縁誘電材料が開発され、集積回路の製造に使用されてきた。

【0003】現在広く使用されている誘電率が特に低いこのような先端絶縁材料の一つに、何種類かのシルセスキオキサン材料 (以下、SSQという) があり、これらの

材料は、従来用いられてきたSOG (スピンオン・ガラス) の品質およびギャップ充填品質に非常に似ており、塗布が容易であるために特に好ましい。ギャップの充填は、大きな内部応力を伝える可能性がある半導体材料中の結晶格子転位およびクラックが伝搬する可能性を低減するのに重要である。

【0004】適切なSSQ材料は市販のポリマー材料であり、その1つは、たとえ全部ではないとしても主に、水素シセスキオキサン ($\text{HSiO}_{3/2}$) であり、これは頭文字をとってHSSQまたはHSQと呼ばれることがある。ときに使用される関連材料は、HSQの水素がメチル基で置換されたメチルシルセスキオキサン (MSQまたはMSQ) である。これらの材料は、橋かけ酸素原子が分子間で共有される構造を形成する。誘電率は低い、橋かけ酸素原子は歪んでおり、多くの化学薬品に侵食される可能性があり、または比較的小さい物理的損傷からクラックが急速に広がる可能性がある。このため、保護されていないSSQ材料は、高解像度のリソグラフィ・プロセスをサポートする良好な平面化特性を示すとしても、一般に層の形成に適するとはみなされない。例えば米国特許第5818111号は、HSQの相対的な脆さ (fragility) について述べており、多層誘電スタックを形成するためにHSQ層と二酸化ケイ素保護層とを交互にした構造を提案している。

【0005】上記で触れたダマシン処理は、よく理解され成熟した技術であり、優れた電氣的保全性を有する堅固な接続を非常に小さいサイズでかつ密な間隔で機械的に形成するのに、特に有用である。基本的に、ダマシン・プロセスでは、誘電材料の表面に溝または凹部を形成した後、凹部を埋めるのに十分な厚さの金属層を付着させることによって、導体の所望の形状を画定する。次いで金属層を、研磨など任意の既知の方法によって誘電体の元の表面まで平面化することにより容易にパターン化する。このように形成された構造は、接続 (金、アルミニウム、タングステン、銅などの材料で作成することができる) の底部および側面で金属を完全に支持し、そのため金属の移動や損傷などに耐性がある。一般に、溝または凹部の形成は、金属層の直接パターン化によって得られるものよりも、パターンのエッジをより高い精度かつより高い規則性で形成することができる。

【0006】しかし、実質的に完成したチップの上の誘電層上に導体を形成するときは、相互接続パターンを形成し、チップ上のデバイスへの接続を上記ビアの形で形成するために、2回のパターン化・プロセスが必要とされる。この2回のパターン化・プロセスとその後の金属の付着および平面化を、総称してデュアル・ダマシン・プロセスと呼ぶ。

【0007】しかしほとんどのSSQ材料は、一般にpHが高いほとんどのリソグラフィ用レジスト現像剤に容易に侵食される。さらに、SSQ材料がレジスト現像剤

に侵食されるとき、除去される可能性がある S S Q 材料の量を容易に制御することができず、したがってレジスト・パターンがアンダーカットされる可能性がある。このため、十分に制御されたエッチング剤を使用しても S S Q をエッチングするとき、得られるビアの形状はかなり歪む可能性があり、ビアはチップ全体にわたって均一性に欠け、おそらくはビアが接続を形成するチップ上の構造に不規則かつ不確実に位置合せ (register) されるおそれがある。

【0008】S S Q 材料の表面を他の誘電体など別の材料層で保護するのは、デュアル・ダマシン・プロセスで接続ビアを形成するようないくつかの半導体構造では実用的ではない。他の点では S S Q 材料の保護に適するほぼどんな材料もその誘電率が S S Q よりも高く、非常に薄い層でも、キャパシタンスがクリティカルになる位置ではキャパシタンスを増大させるはずであり、レジスト・パターンに従って除去するために異なるエッチング剤または追加のエッチング・プロセスあるいはその両方がおそらくは必要となる。さらに、S S Q 層の元の表面上に保護層を付着することができるが、エッチングされた 10 フィーチャ (例えばトレンチや溝) 内に保護層を付着するには追加の工程段階が必要であり、かつ S S Q 材料を使用する対象であるその内部に形成された導電性構造の低キャパシタンスも損なうことになる。

【0009】もちろん、レジストを使用するという概念は、レジスト・パターンが完全に形成されるまで、下の材料がレジストの処理および現像の影響を受けないという前提に基づいている。レジスト現像剤による S S Q 材料の除去は、脆い共有する酸素結合が破壊されるためと思われるので、S S Q 材料を侵食しない現像剤を見つけ 30 出せる可能性は低いであろう。したがって現況技術において、複数のレジスト層を使用するプロセスでは、問題の軽減に向かう著しい利益が得られないと考えられる。

【0010】要約すれば、相互接続メタライゼーションの下にある、または相互接続メタライゼーションを支持する H S Q または M S Q を使用することにより、デュアル・ダマシン・プロセスを使用して導体およびビアを製造することが可能になるが、この場合、製造の歩留りが低下する可能性が高い。表面に塗布されて接続を覆うギャップ充填材料として、S S Q 材料を使用することが 40 できるが、上記ダマシン接続の利点はそれによって実現されない。デュアル・ダマシン・プロセスのように一連のパターン化エッチング段階を必要とするプロセスで、S S Q 材料とレジスト現像剤の基本的な非両立 (incompatibility) を回避するためのどのような技法もなく、特に、S S Q 材料の低誘電率が特に重要である高密度集積回路用の微細ピッチの設計基準に対応する技法はなかった。

【0011】

【発明が解決しようとする課題】したがって本発明の一 50

目的は、例えば最初に提供された保護膜が除去されるエッチング・フィーチャ中にその目的で追加の保護層を付着させることなく、レジスト・パターン化中に S S Q 誘電材料が現像液に侵食されないように保護する方法を提供することである。

【0012】本発明の別の目的は、S S Q 誘電材料を使用しかつ高い製造歩留りが得られるデュアル・ダマシン・プロセスによって、チップ上のデバイス間の堅固な相互接続を形成することができる方法を提供することである。

【0013】本発明の別の目的は、コストが削減されたデュアル・ダマシン導体を形成する方法を提供することである。

【0014】本発明の別の目的は、追加の工程段階 (および変形形態) とそれに伴うコストを回避するよう、他の必要な段階に付随して、デュアル・ダマシン処理中の S S Q 誘電材料の保護を提供することである。

【0015】

【課題を解決するための手段】本発明の、上記その他の目的を達成するため、方法およびそれによって形成される半導体デバイスは、材料の表面にレジストのパターンを形成する段階と、材料を除去するときに材料の露出表面に除去すべき材料として選択された材料に対して実質的に侵されない (impervious) 中間材料組成物を形成しながら、レジストのパターンに従って材料の一部を除去する段階と、中間材料の表面上に別のレジスト・パターンを形成する段階と、別のレジスト・パターンに従って中間材料の一部分およびその材料の別の部分を除去する段階とによって提供される。

【0016】本発明の別の態様によれば、シルセスキオキサン材料層と、シルセスキオキサン材料の表面の溝に形成されたダマシン導体と、シルセスキオキサン材料を貫通して延びダマシン導体の下の前記溝内に位置するビアと、溝内のシルセスキオキサン材料上の酸化表面とを組み合わせて含む、半導体デバイスが提供される。

【0017】

【発明の実施の形態】次に図面、より詳細には図 1 を参照すると、トランジスタ、キャパシタ、下にある接続 (図示せず) などのデバイスがその上に形成されている集積回路チップ 12 と、S S Q 誘電層 14 と、薄い酸化物誘電層 16 と、パターン化したレジスト層 18 とを含む構造 10 の表面に導体を作成するための、デュアル・ダマシン処理の初期段階の断面が示されている。図 1 ないし図 3 は原寸に比例しては、見やすくするためにいくつかの領域は不釣り合いに拡大してあることを理解されたい。また、図 1 および図 2 がよく理解されているデュアル・ダマシン・プロセスの初期段階を示し、図 3 は、本発明によらないレジスト現像の効果を示すが、図 1 ないし図 3 のどの部分も本発明に対する従来技術と認められないことを理解されたい。

【0018】図1は、接続が形成される位置に開口20を形成するための、従来のレジスト層18の付着、処理（例えば乾燥）、露光、および現像を想定している。図のレジストおよび金属層はSSQ層14および薄い酸化物層16と共に、任意のレベルの任意の層を代表するものであることを理解すべきであり、そのような複数の層のグループ（例えば符号14および符号16）は、他の層の上に順次形成することができ、任意にパターン化して所望の接続パターンを生成することができる。

【0019】図1に示すように、薄い酸化物層16によって保護が提供されるため、レジストの現像はSSQ層14に影響を及ぼさない。この薄い酸化物は、その厚さが最終構造のキャパシタンスの増加が最小限となるように設計されており、場合によっては除去することが可能である。しかし、薄い酸化物16が存在しレジスト現像剤がSSQ層14に達するのを妨げるため、レジスト現像剤はSSQ誘電体を侵食することができないことを理解されたい。

【0020】図2に示すように、エッチング・プロセスを実行して、レジスト18内に生じたパターン20に従って薄い酸化物層16に開口22'を形成し、SSQ層14に凹部22を形成する。エッチング・プロセスは、合理的に良好な挙動を示し、異方性であり、レジスト層18のパターン化20に追従することに留意されたい。実質的にここに示したような結果をもたらす数多くのプロセスが当技術分野で知られている。次いでレジスト層18の残りを、そのプロフィルの破線によるアウトラインで示したように剥離することができる。

【0021】導体のみをシングル・ダマシ・プロセスによって形成する場合、露出表面全体にわたってブランケット金属層を付着し、研磨や等方性エッチングなどによって薄い酸化物層16に、または薄い酸化物層内にパターン化することができ、何の問題も生じないであろう。本発明が対処する問題は、このような導体の一部分をチップ12上の電子構造に接続しなければならないことから生じている。したがってこの接続を行うため、次に図3を参照しながら説明するように、デュアル・ダマシ・プロセスに従って金属ブランケット層を付着するためには、SSQ層をさらにパターン化してビアを形成しなければならない。（銅などの低抵抗金属は、SSQ材料のエッチングと整合する方式では容易にエッチングされず、したがって、ビアを形成しながらSSQ材料用のマスクとして使用される導体を付着させるようにデュアル・ダマシ・プロセスを修正するのは困難である。またビアのアスペクト比はこのようなプロセスによって増大し、金属でビアを充填する能力が低下することになる。）

【0022】図3に示すように、別のレジスト層24を塗布し、露光し、現像してパターン26を形成するが、このパターンはビアの位置を画定することを目的とし、

このビアは、図2に関して上述したのとはほぼ同じ方式で、チップ12上に形成される構造に達するようにエッチングされる。しかし、レジストの現像プロセスではレジストは現像剤中に徐々に溶解するが、現像剤に可溶性実質上すべてのレジストをパターン化露光に従って溶解させて、このプロセスを完了させなければならない。

【0023】したがって、ビア・レジスト24に開口26を適正に形成するための現像プロセスを完了することにより、SSQ層の表面28がやや長い時間露出されることは（本発明を使用しない場合）避けられない。上記で指摘したように、現像剤はSSQ材料を侵食する可能性があり、この侵食は等方的に行われる。したがって現像剤は材料を除去し、レジストの下に延びる可能性があるキャビティまたは反応ゾーンを形成し、レジストの保全性（integrity）と、所期の位置およびサイズでビア25を形成するため後続のエッチング・プロセスを適正に制御するレジストの能力を低下させる。

【0024】すなわち、ビア・レジスト24のアンダーカット28'が生じた後に実施される、非常によく制御された異方性エッチング・プロセスでさえ、符号25ではなく符号27で示す形状および位置のビアが形成する可能性が高い。理解できるように、ビア27は所期のものよりも大きく、その中心がビア25の中心から外れた不規則な形状である。したがって、チップ12上の構造に対するビアの位置合せが損なわれ、さらに、増大したサイズと生じ得る位置の誤差によって、チップ上の構造に短絡が生じる可能性がある。

【0025】次に図4を参照すると、本発明者は、ある種の好ましいエッチング剤を用いて好ましくは反応性イオン・エッチング・プロセスを使用して、図2に関して上述したエッチングを行うことにより、SSQ材料の表面がエッチング・プロセスで露出されるとき、その表面に極めて薄い保護酸化物被膜40が得られることを発見した。すなわちエッチング・プロセスの一部として酸化物生成反応が生じ、それはSSQポリマー中の露出したケイ素原子（およびおそらくはエッチング除去される材料よりも数百オングストロームだけ先に拡散が到達可能なケイ素原子）に自己制限される。

【0026】この自己制限された保護酸化物の厚さは十分に薄いため、SSQ材料の低誘電率は著しく損われない。酸化物は、すべての露出したケイ素原子が関与する表面効果であるために、SSQ材料の表面を保護するように確実に形成することができる。その形成の直後に行われる酸化物のエッチングにより、保護酸化物被膜の保全性と、その保護機能に十分な非常に小さい寸法に自己制限された厚さがさらに保証される。したがって保護酸化物は、極めて短い時間だけ、材料が除去された表面の前方のある距離の所に存在する、本発明によるエッチング・プロセスの中間生成物とみなすことができる。

【0027】本発明の実施中に生じ得る化学反応につい

て特定の理論に拘泥するものではないが、本発明の実施に適する2つのエッチング・プロセスを次に述べる。これらのプロセスは、当業者が本発明を実施するための他のエッチング剤およびエッチング・プロセスの適切さに関する手引きとしての役割を果たすであろう。

【0028】次に述べるプロセスは、SSQ材料、HSQ ($\text{HSiO}_3/2$)、およびMSQが、安定な二酸化ケイ素 (SiO_2) に比べて酸素が不足していることを利用すると考えられる。この酸素の不足は、これらの材料のポリマーとしての性質に付随するものであり、以下に述べるプロセスは、好ましい保護膜である SiO_2 を形成するための化学反応に寄与する、追加の酸素を供給するための好ましい技法である。ただし、同じ基本原理が、その他のIII-V族の半導体材料をベースとする誘電材料、および窒化物など酸化物以外の保護膜にも当てはまることを理解されたい。ただし他の材料は、適切な結果を得るために、プロセス・パラメータのクリティカルリティを増大させる可能性がある。

【0029】具体的には、プロセス、プロセス・パラメータ（例えば反応体の濃度）、およびエッチング剤選択の重要なファクタは、エッチング・プロセスが、SSQ材料と中間保護膜材料を実質上同じ速度で異方性エッチングするのに適していなければならないことであり、この速度は、保護膜40の厚さを小さな寸法に維持するための、選択したプロセス温度におけるSSQ材料中の反応体の拡散速度と同程度である。しかし一般には、好ましいSSQ材料を含む以下に述べるプロセスが、プロセス・パラメータが特にクリティカルではないので、通常は好ましい。

【0030】これに関連して、本発明を再現可能に実施するには、MSQよりもHSQの場合の方が容易に制御可能であることが本発明者によって見出されたが、同様の結果はSSQ材料を使用したときも容易に得られた。MSQは、好ましいプロセス条件下ではかたに反応性が高いことが見出され、そのためエッチング・プロセス時間に関し、やや制御可能性が低くよりクリティカルである。したがって、HSQを使用して本発明を実施することがより好ましい。

【0031】しかし、好ましいプロセスおよびその代替例は、過剰な反応体材料を提供し、この反応体材料がエッチング・プロセスによって同時に除去される条件下での反応を含むことを理解されたい。すなわち本発明による反応は、エッチング・プロセスでよくあるような、エッチングされる表面での材料の相対濃度によって進行するプロセスとは実質的に異なるものである。したがって、本発明によるプロセスの効果は非常に直感に反する (counter-intuitive) ものであり、その価値ある効果は予期されないものである。

【0032】具体的には、第1の好ましいプロセスは、現像後に残っているレジストのパターンに従ってSSQ

材料を除去する酸素含有プラズマを使用して、レジストを剥離するものである。したがってこのプロセスは、SSQ材料表面が露出するときその表面に酸素イオンを（外部から）提供し、その露出表面から約500オングストローム下までSSQ材料を酸化して、非常に薄い SiO_2 の層を形成する。同様の効果は、SSQ材料が除去されるときにその材料から酸素を遊離すると考えられるフルオロカーボンを含む反応性イオン・エッチングを使用した、第2の好ましいプロセスでも実現することができる。酸化物は、その他の点では半導体材料のリソグラフィ処理に適することが知られている現像剤に対して実質的に侵されないため、どちらのプロセスでも現像剤の作用によるSSQ材料の凝集 (cohesion) 保護（例えば、異方的に材料を除去するための結合の破壊に対する保護、クラックおよびその他同様の形の、ポリマー構造の安全性に対する損傷の回避）を提供するのに十分な SiO_2 の被膜40が形成される。

【0033】したがって図5に示すように、ビア・レジスト50を現像して開口52を形成するとき、SSQ材料14は、酸化によって形成された表面酸化物によって、追加の他の層を用いず、またはそうするための工程段階を必要とせずに、領域40'での現像剤の作用から保護される。したがってビア・パターンは、SSQ材料に対するどのような影響も回避しながらレジストのパターン化の完了によって確立することができる。

【0034】次いでビアは、図6に示すように、任意の所望のプロセスにより異方性エッチングを行って、図3の符号27で示す歪みなしにチップ上に所望の構造に対する開口を正確に形成することができ、その後、ビア・レジストの剥離を行う。ビアのアスペクト比は、ビアの横方向の寸法がどんな寸法であっても、望み通り容易に制御することができるSSQ層の厚さのみによって決まる。金属のブランケット層は、ビア・アパーチャ、ならびに図2に関して上述した接続凹部22を容易に充填する。次いでブランケット金属層を任意の既知のプロセスで平面化して、デュアル・ダマシン・プロセスに従って接続およびビア構造60を完成することができる。平面化プロセスは、薄い酸化物層16の任意の部分で停止することができ、または任意の部分を通って行うことができ、また薄い酸化物層を完全に除去することもできる。

【0035】以上のことに鑑みて、本発明は、デュアル・ダマシン・プロセスと、低誘電率のSSQ誘電体に対して整合性のある構造を提供することがわかる。したがって本発明は、容量性結合を増加させることなく堅固な導体をより近接して配置することができ、したがって増大する集積密度、高速化する信号伝搬速度、および増大する雑音イミュニティをサポートする、構造および方法を提供する。製造の歩留りが大きく損なわれる可能性のあるプロセスを補う (beyond) 追加のプロセス段階なし

で、かつ製造の歩留りが低く粗悪な構造をもたらすプロセスに比べて低減されたコストで本発明のプロセスを実施することができ、この構造を形成することができる。上記で論じたシルセスキオキサン材料とレジスト現像剤の相互作用に対する適用を超えて、本発明の方法は、他の形の保護が実用的または経済的に利用可能ではないときに、多くのまたは少なくとも選択された材料に対して不活性の保護表面カバーを提供するために適用することができる。本発明によるプロセスは、多層デュアル・ダマシン構造を形成するために、または単一層を3

回以上別々にパターン化するために、またはその組合せを行うために、随意に繰り返すことができる。

【0036】まとめとして、本発明の構成に関して以下の事項を開示する。
【0037】(1) 材料の表面上にレジスト・パターンを形成する段階と、前記材料を除去するときに前記材料の露出表面に中間材料組成物を形成しながら前記レジスト・パターンに従って前記材料の一部分を除去する段階とを含み、前記中間材料は、選択された材料に対して実質的に非反応性であり、さらに、前記中間材料の表面上に別のレジスト・パターンを形成する段階と、前記別のレジスト・パターンに従って、前記中間材料の一部分および前記材料の別の部分を除去する段階とを含む方法。

(2) 前記材料がシルセスキオキサン材料である上記

(1)に記載の方法。

(3) 前記材料の一部分を除去する段階が、酸素プラズマによるレジスト剥離を含む上記(1)または(2)に記載の方法。

(4) 前記材料の一部分を除去する前記段階が、フルオロカーボンによる反応性イオン・エッチングを含む上記(1)または(2)に記載の方法。

(5) 前記シルセスキオキサン材料が、水素シルセスキオキサンとメチルシルセスキオキサンを含む群から選択された材料である上記(2)に記載の方法。

(6) シルセスキオキサン材料層と、前記シルセスキオキサン材料の表面の溝に形成されたダマシン導体と、前記シルセスキオキサン材料を貫通して延び、前記ダマシン導体の下の前記溝内に位置するビアと、前記溝内の前記シルセスキオキサン材料上の酸化表面とを組み合わせる含む半導体デバイス。

(7) 前記シルセスキオキサン材料が、水素シルセスキオキサンとメチルシルセスキオキサンからなる群から選択される上記(6)に記載の半導体デバイス。

(8) 材料の表面上にレジスト・パターンを形成する段階と、前記材料を除去するときに前記材料の露出表面に中間材料組成物を形成しながら前記レジスト・パターンに従って前記材料の一部分を除去する段階とを含み、前記中間材料は、選択された材料に対して実質的に非反応性であり、さらに、前記中間材料の表面上に別のレジスト・パターンを形成する段階と、前記別のレジスト・パターンに従って、前記中間材料の一部分および前記材料の別の部分を除去する段階とを含む方法によって形成された半導体デバイス。

(9) 前記材料がシルセスキオキサン材料である上記

(8)に記載の半導体デバイス。

(10) 前記材料の一部分を除去する前記段階が、酸素プラズマによるレジスト剥離およびフルオロカーボンによる反応性イオン・エッチングからなる群から選択されるプロセスを含む、上記(8)または(9)に記載の半導体デバイス。

【図面の簡単な説明】

【図1】デュアル・ダマシン・プロセスの初期段階を示す、集積回路チップの一部分の断面図である。

【図2】デュアル・ダマシン・プロセスの初期段階を示す、集積回路チップの一部分の断面図である。

【図3】本発明を用いないレジスト現像の効果を示す、デュアル・ダマシン・プロセスでの集積回路チップの一部分に関するビア・レジスト処理の断面図である。

【図4】本発明の実施およびそれによって実現されるSSQ誘電体の保護を示す、集積回路チップの一部分の断面図である。

【図5】本発明の実施およびそれによって実現されるSSQ誘電体の保護を示す、集積回路チップの一部分の断面図である。

【図6】本発明による完成したダマシン導体およびビアの断面図である。

【符号の説明】

- 12 チップ
- 14 SSQ層
- 16 薄い酸化物層
- 18 レジスト・パターン
- 22 接続凹部
- 40 保護酸化物被膜
- 50 ビア・レジスト
- 52 開口
- 60 ビア構造

(72)発明者 カマレシュ・スリヴァスタヴァ
アメリカ合衆国12590 ニューヨーク州
ワッピンガーズ・フォールズ シーフ・
ロード 163

(56)参考文献 特開2000-114368 (J P, A)
特開2000-243749 (J P, A)

(58)調査した分野(Int.Cl.⁷, D B 名)

H01L 21/768

H01L 21/3065

H01L 21/312